

# 제 1장 웨이퍼 성장 및 가공

## 1. Introduction

### ■ 반도체 기술 발달의 역사

- 1800's: 초기 반도체 발견 (PbS, ZnSb, AgS)
- 1874: Ferdinand Braun이 PbS의 point-contact 다이오드에서의 정류작용을 보고. Marconi와 함께 그 다이오드를 라디오에 응용하는 업적으로 1909년에 노벨상 수상
- 1906: 처음으로 실리콘 사용
- 1930's: 다이오드의 정류 작용에 대한 이론 완성
- 1947: Brattain, Bardeen, Shockley가 point-contact 트랜지스터 설명. 이 업적으로 1956년에 노벨상 수상
- 1948: Shockley가 BJT 동작 이론 개발
- 1951: "grown junction"을 사용하는 공정 기술 개발
- 1954: Photoresist (감광막) 기술 개발
- 1959: Fairchild에 있던 Noyce가 Planar IC 공정 개발
- 60년대 초: Motorola가 "Big Three" 가입 (TI, Fairchild, Motorola)

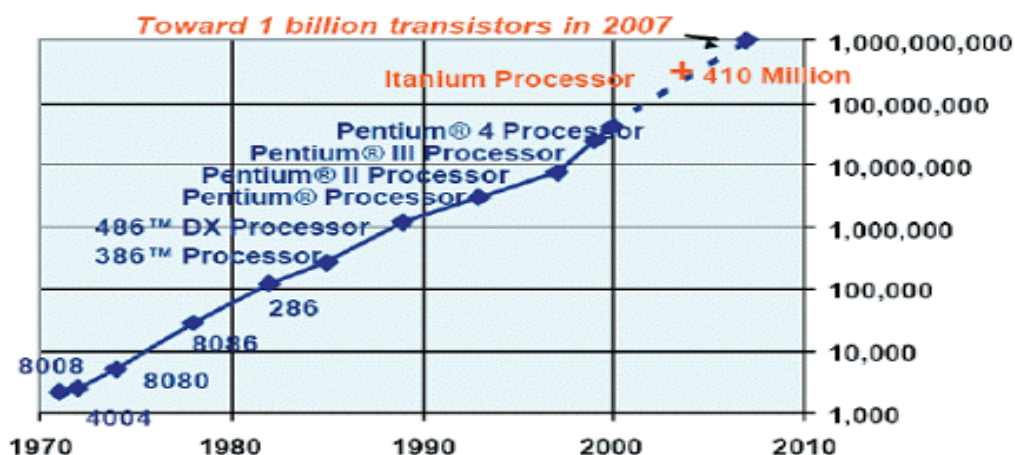
## ■ 반도체 소자의 집적도

- “무어의 법칙”

인텔의 공동 창업자인 고든 무어는 젊은 연구원 시절, 1965. 4. 18에 잡지에 기고한 글에서 “컴퓨터 칩 한 개에 집적되는 트랜지스터 수는 매년 2배로 늘어날 것” 이라고 주장했다.

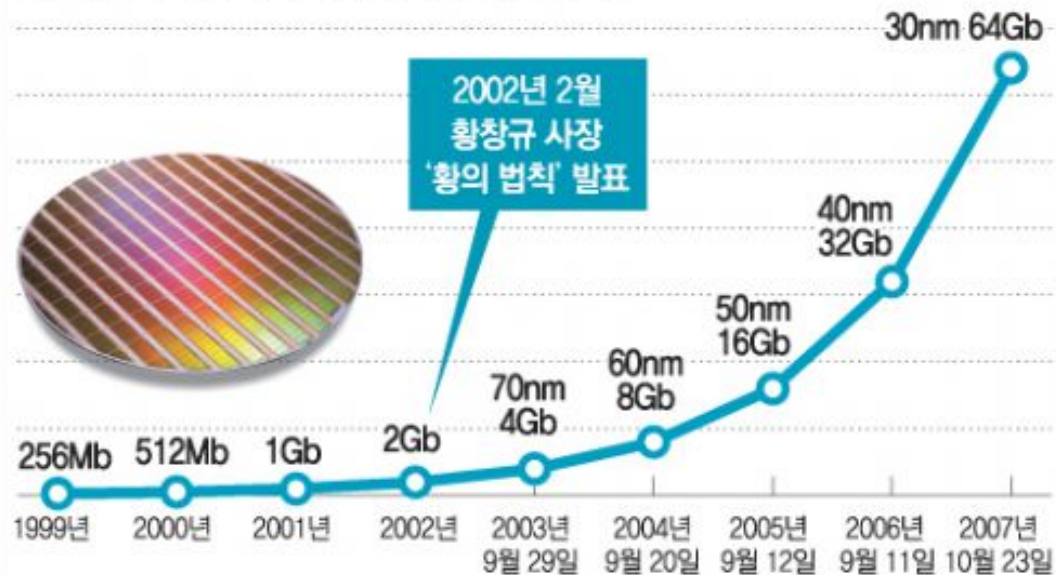
- 이 법칙이 1975년까지는 잘 맞았으나, 그 이후에는 “매년 2 배” 가 아닌 “18개월마다 2배로” 수정되었다.

- 2002년 부터는 “황의 법칙” 이 더 널리 사용되었다. 당시 삼성전자 황창규 사장은 “반도체 집적도는 매년 2 배로 증가할 것” 이라고 국제컨퍼런스에서 주장했다. 황 사장은 향후 카메라, 캠코더, MP<sub>3</sub> 플레이어, 디지털 TV 등 디지털 기기의 수요가 확산되면서 플래시메모리를 중심으로 한 메모리 신성장 시대가 열릴 것이라고 예견하였고, 삼성전자는 매년 플래시메모리의 용량을 2배로 늘려가면서 전 세계 낸드플래시 시장을 주도해 나갔다.

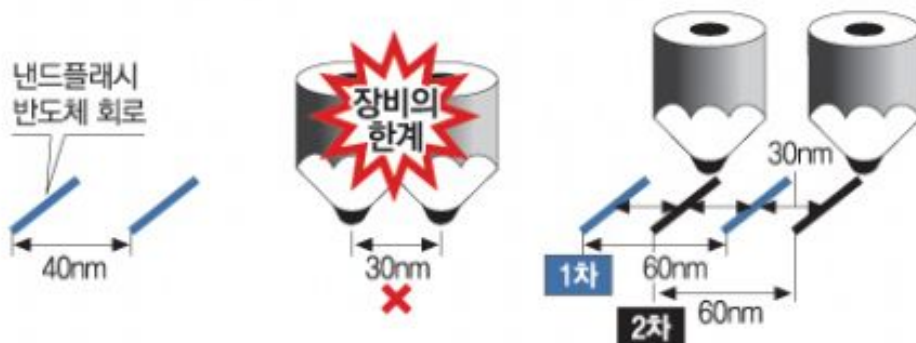


반도체 소자의 집적도 향상을 예상하는 무어의 법칙

## ‘황의 법칙’(반도체 신성장론) 일지



## 64Gb 낸드플래시 개발에 적용한 30nm 반도체 제조기술

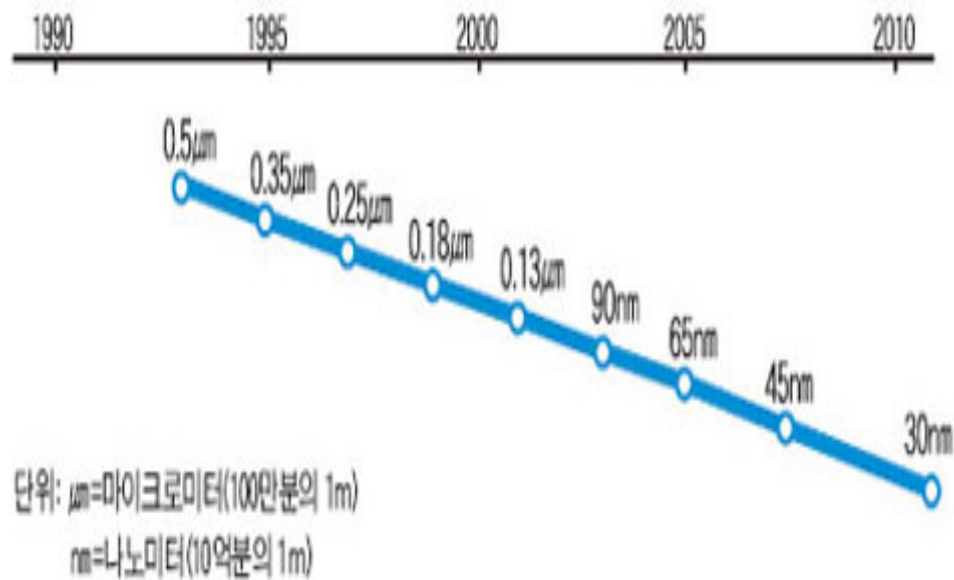


웨이퍼(반도체 원판)에 머리카락 4000분의 1 두께인 30nm로 반도체 회로를 그려 낸드플래시를 만드는 모습.

삼성전자는 40nm보다 좁은 간격을 그릴 수 없다는 기술적인 한계를 극복하기 위해 60nm 간격으로 두 차례 회로를 그려 넣는 기술을 개발하는 데 성공했다.

- 평균 디자인 룰 (average design rule)

무어의 법칙과 CPU 회로의 선폭



- 실리콘 소자의 집적도

	소자수	최소선폭 ( $\mu\text{m}$ )
TRS	1	3 - 100
SSI	1 - 100	5 - 15
MSI	100 - 1000	3 - 7
LSI	1000 - $10^5$	3 - 7
VLSI	$10^5$ - $10^6$	0.5 - 3
ULSI	$> 10^6$	$< 0.5$



# The beauty of silicon

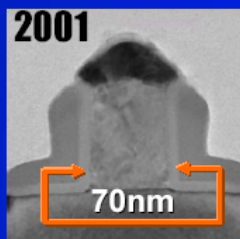
For four decades, the semiconductor industry has steadily reduced the unit cost of IC components by

# SCALING

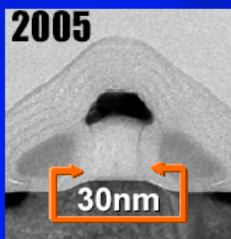
1. Scaling device dimensions downward

2. Scaling wafer diameter upward

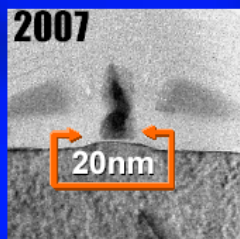
	1990	1995	2000
DRAMs	4 MB	64 MB	1 GB
Feature size	0.8 $\mu\text{m}$	0.35 $\mu\text{m}$	0.15 $\mu\text{m}$
Wafer diameter	6"	8"	12"
Cost per Megabit	\$6.50	\$3.14	\$0.10



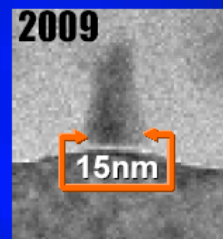
0.13 $\mu\text{m}$  process



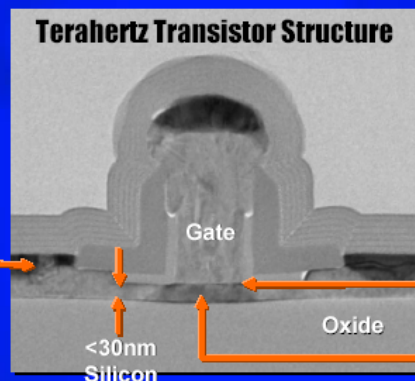
65nm process



45nm process



32nm process



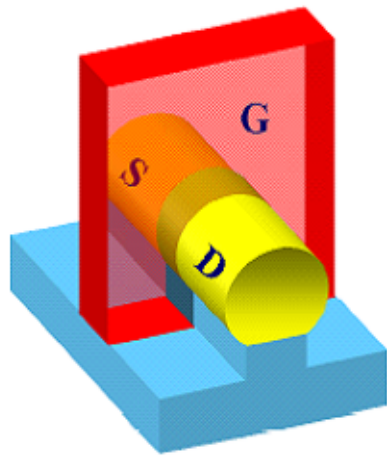
intel

Source: Intel

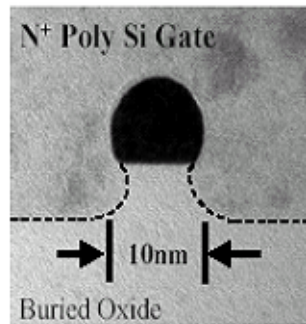
High-k Gate Dielectric  
Fully Depleted Channel

Intel Developer Forum  
Spring 2002

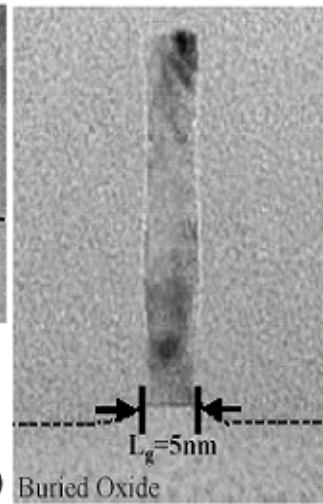
## ■ A benchmark of Top-down Approach 5nm-Gate Nanowire FinFET



Nanowire  
FinFET  
( $T_{si} = 2L_g$ )



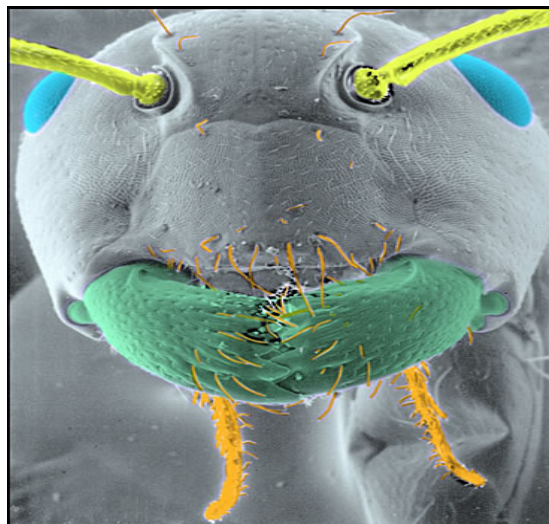
(a)



(b)

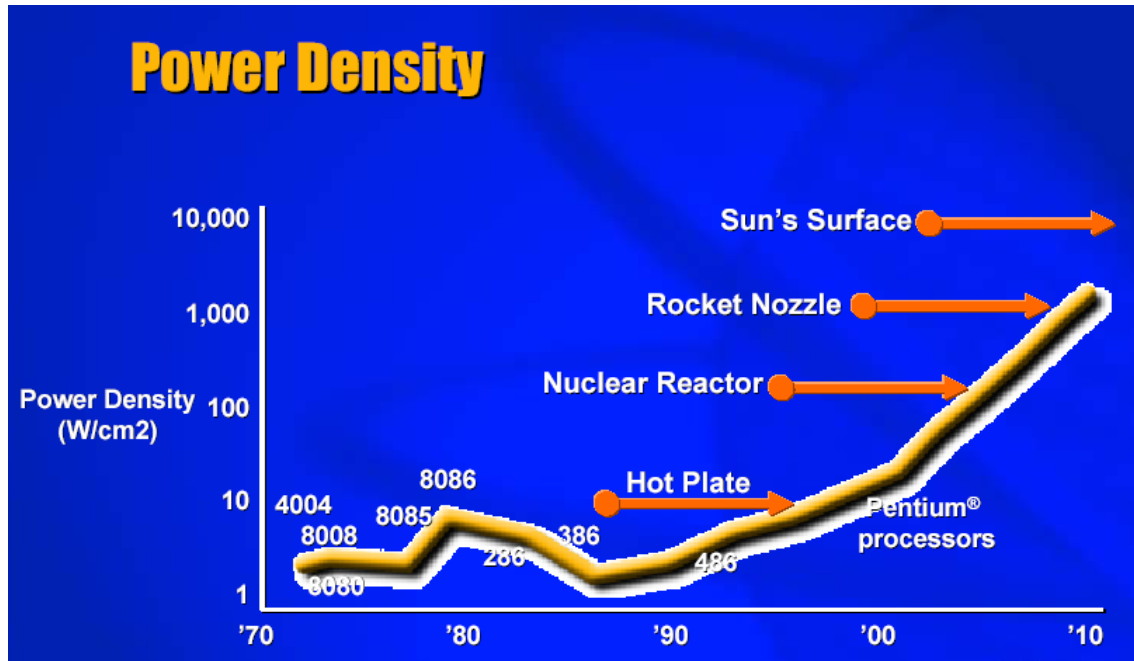
\* 2004 Symposium on VLSI Technology, p.196

## ■ Another Perspective on Moore's Law



... we are already producing  $10^{18}$  transistors per year.  
Enough to supply every ant on the planet with ten  
transistors.

## ■ Chip power consumption is a big concern !!!!



## ■ Environmental Impact of the Semiconductor Industry

Impact per square inch of Si integrated circuit

### Output from the Fab

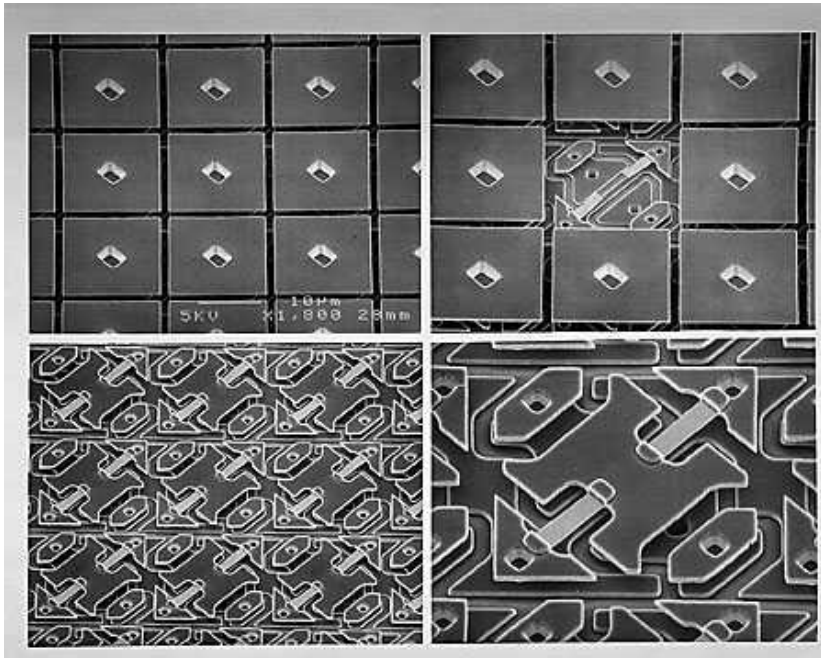
Liquid Waste 75 Gal/in<sup>2</sup>  
Hazardous Waste 0.1 Kg/in<sup>2</sup>  
Toxic Releases 0.01 Kg/in<sup>2</sup>

### Input to the Fab

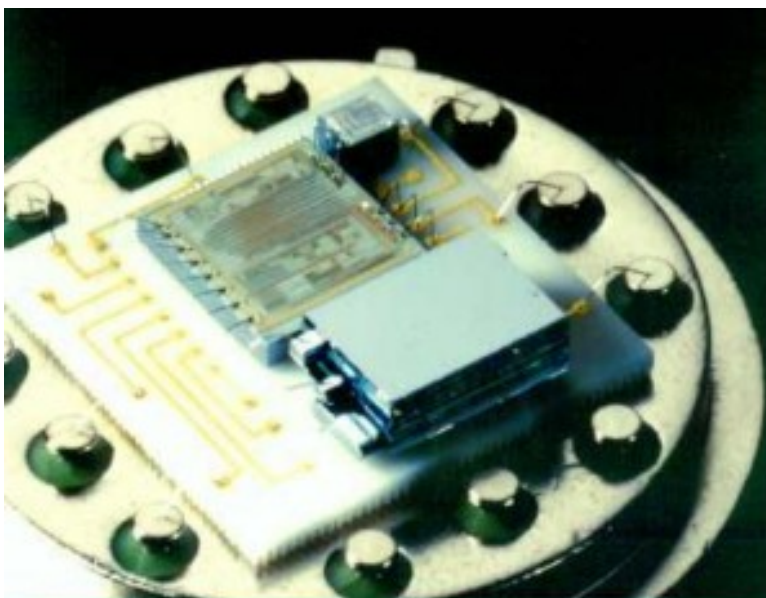
Water 30 gal/in<sup>2</sup>  
Electricity 10 KWhr/in<sup>2</sup>  
Chemicals 0.2 kg/in<sup>2</sup>

## ■ Commercial MEMS Products

- Optomechanical Displays (TI, 1996)



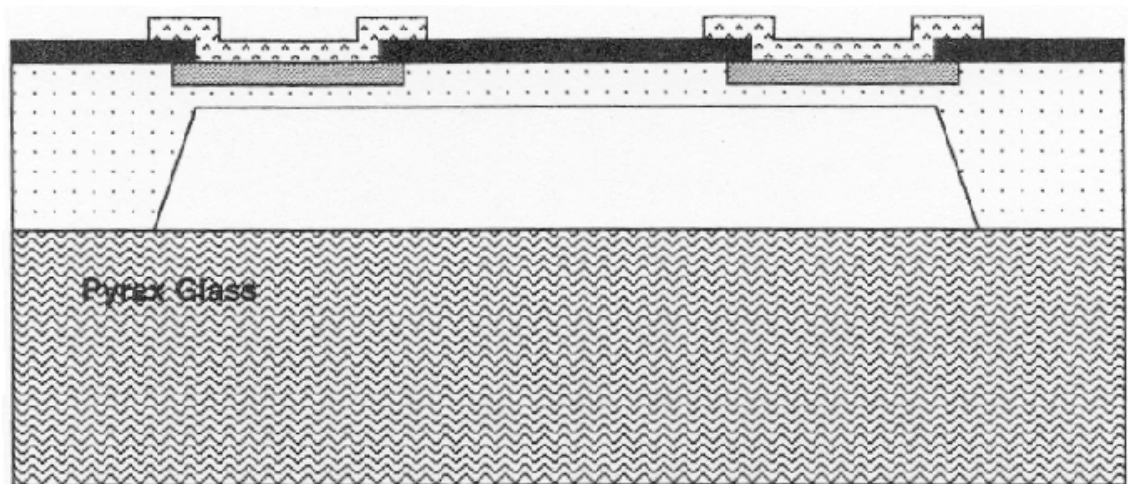
- Acceleratometer (Analog Devices)



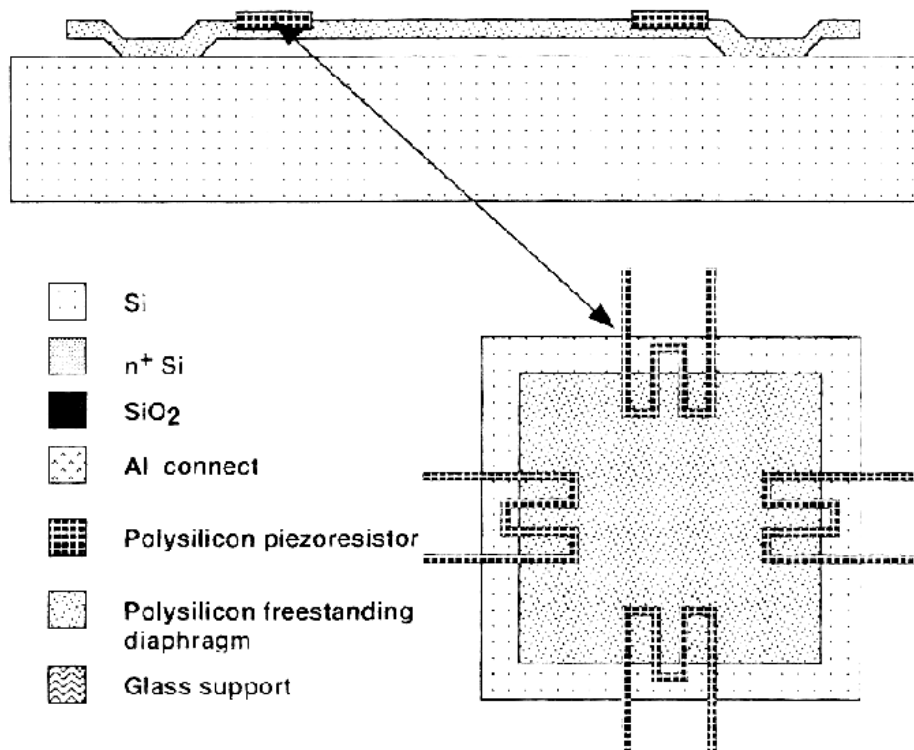


- **MEMS: Pressure Transducer**

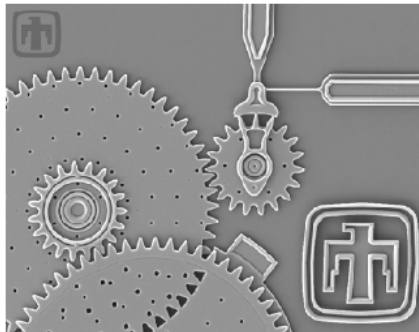
- **Bulk micromachining**



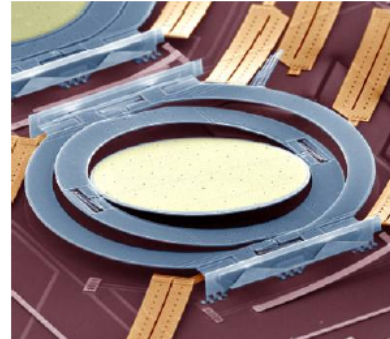
- **Surface micromachining**



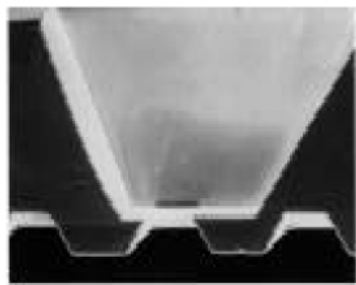
- **MEMS Actuators**



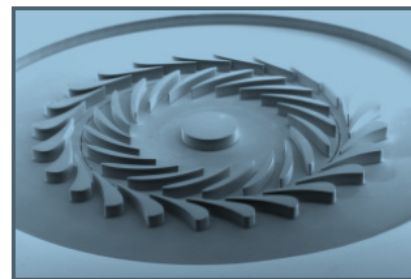
**Gear Speed Reduction Unit**



**Movable Mirror**



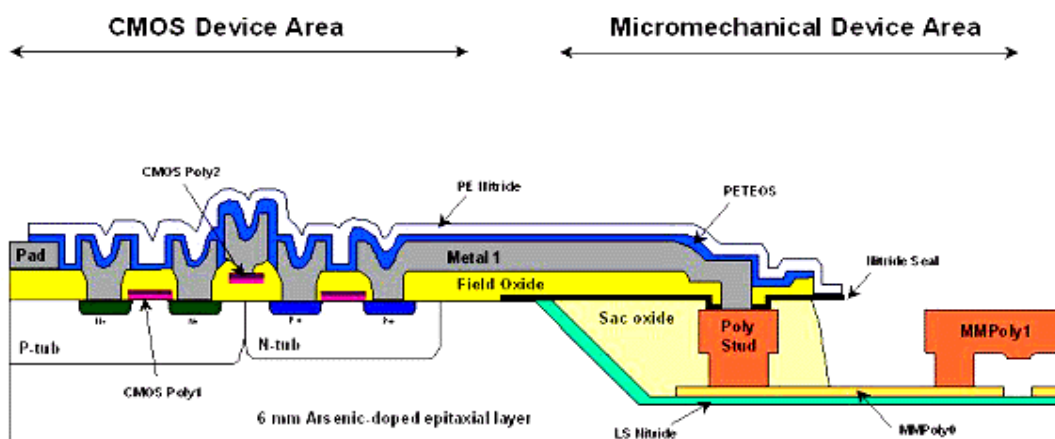
**Responsive Drug Delivery Valve**



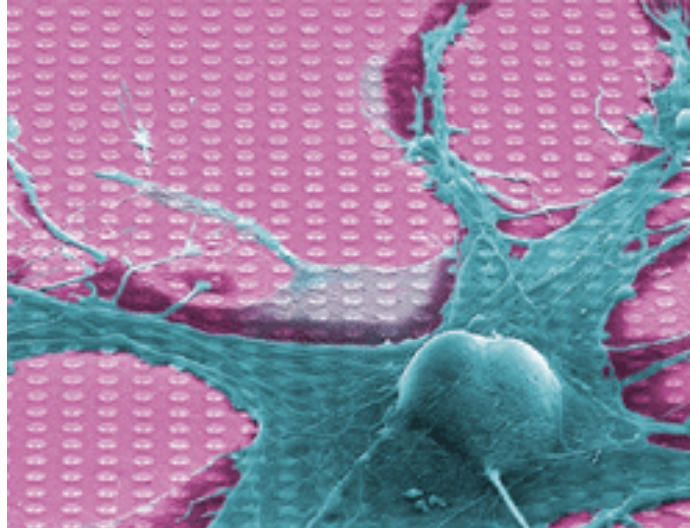
**Turbine engine**

- **MEMS-IC Integration (Sandia National Lab)**
  - **MEMS fabricated in 12  $\mu\text{m}$ -deep trench**
  - **Filled with  $\text{SiO}_2$  and planarized using CMP**

**SNL Integrated Micromechanical / CMOS**

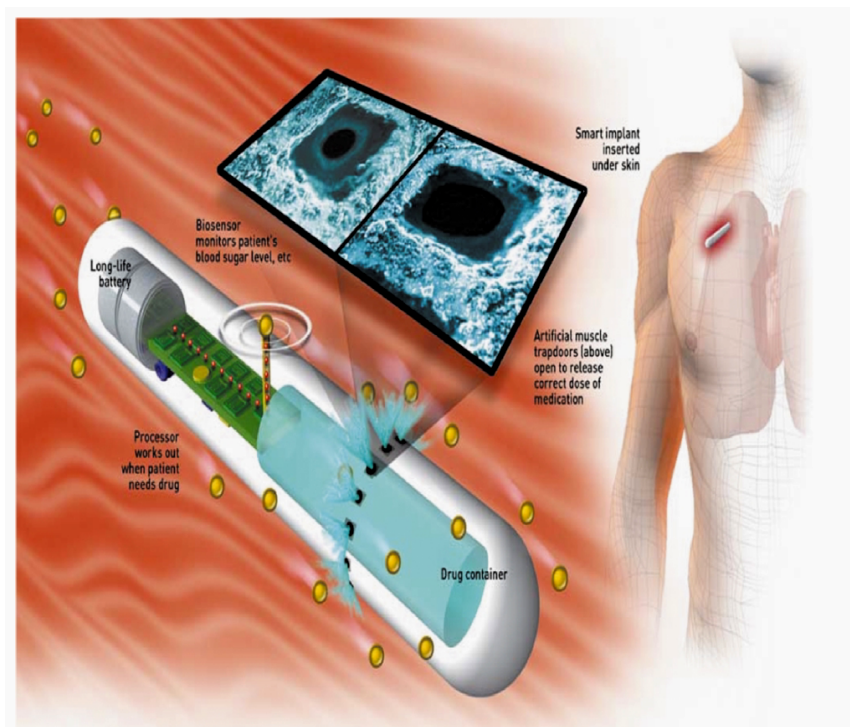


## ■ Linking Si Technology with Biology



**"Snail" neuron grown at the top of an CMOS device that measures the neuron's electrical activity, linking chips and living cells.**

## ■ Responsive Drug Delivery System





## ■ Large Area Processing (Flat Panel Displays)



## ■ Large Area Processing (Photovoltaics)



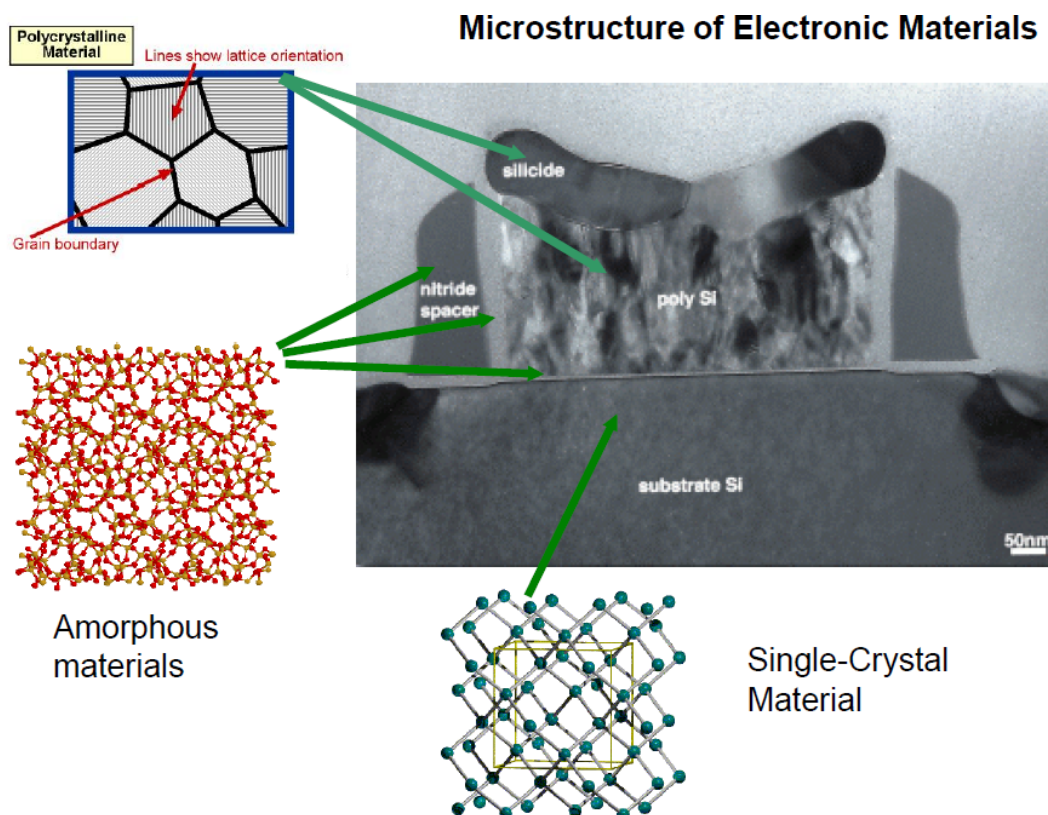
## ■ 물질의 종류



※ 반도체로 switch를 만드는 것이 가장 용이하다.

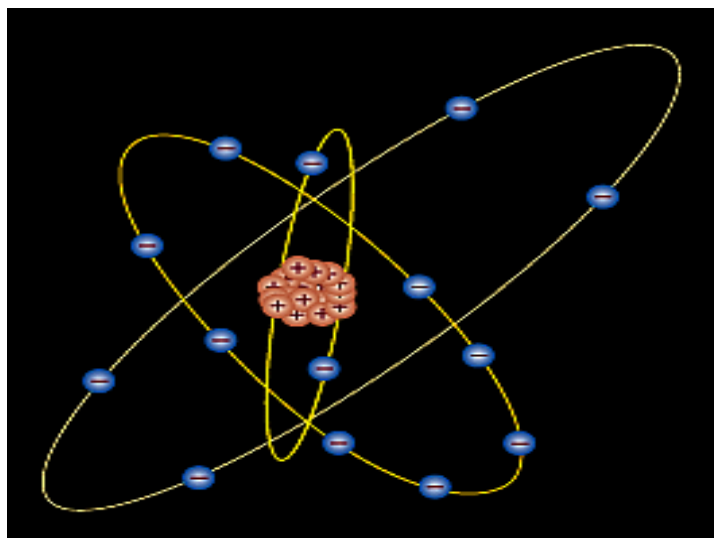
## ■ 고체 유형

- 단결정(crystalline): 장거리로 분자가 규칙적으로 배열
- 다결정 (polycrystalline): 짧은 거리만 규칙적으로 배열
- 비결정 (amorphous): 불규칙적으로 배열

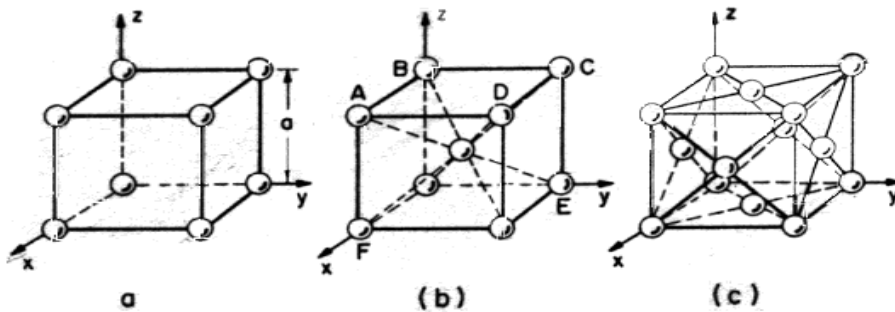


## ■ 왜 실리콘인가?

- 50, 60년대에는 다른 반도체 사용: Ge, GaAs
- 실리콘은 질적으로 우수하고, 화학적으로 안정된 산화막  $\text{SiO}_2$  보유. 반면에,  $\text{GeO}_2$ 는 기르기 힘들고, 물에 녹고, 또한  $800^\circ\text{C}$ 에서 분해됨
- $\text{SiO}_2$ 는 불순물의 이온 주입이나 확산에 대하여 훌륭한 Mask 역할을 할 수 있음
- 실리콘은 bandgap이 커서  $150^\circ\text{C}$ 까지 동작능. 반면에, Ge은  $100^\circ\text{C}$ 까지만 동작 가능 (Ge의  $E_g$ :  $0.6\text{eV}$ )
- 실리콘은 Ge보다 10 배 싸다 (지구 표면의 26%가 sand or quartz:  $\text{SiO}_2$ )
- Si 분자의 구조

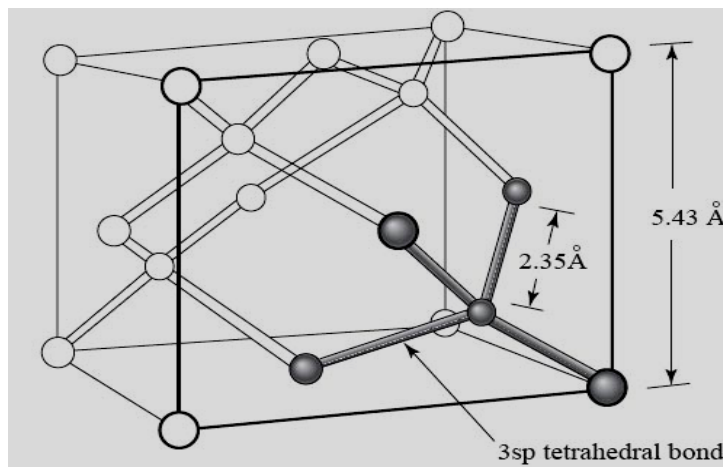


## ■ Cubic crystal의 단위 셀 구조



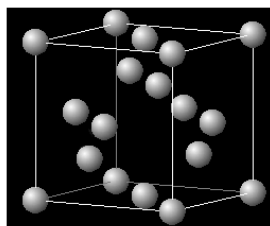
Cubic-crystal unit cells. (a) Simple cubic. (b) Body-centered cubic. (c) Face-centered cubic

## ■ 실리콘 결정 구조: diamond 구조



### • Crystallographic Planes

Unit cell:

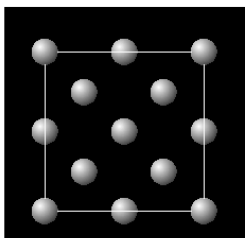


Si lattice constant =

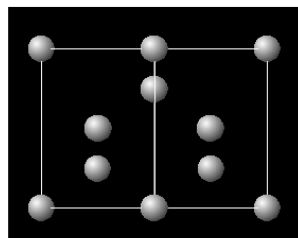
5.431 Å

→  $5 \times 10^{22}$  atoms/cm<sup>3</sup>

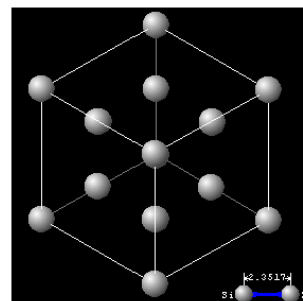
View in <100>  
direction



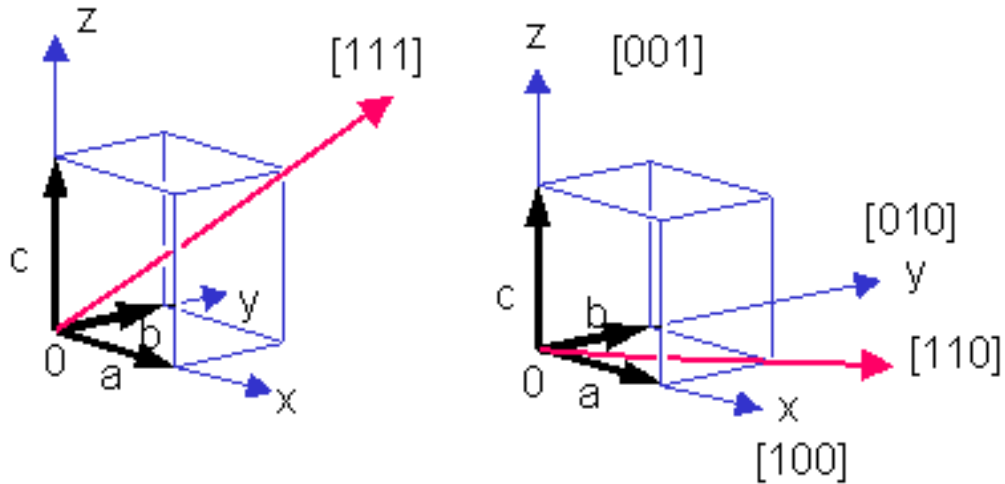
View in <110>  
direction



View in <111>  
direction



## • Crystal에서의 선 방향 표시



## • Crystal에서의 면 방향 표시

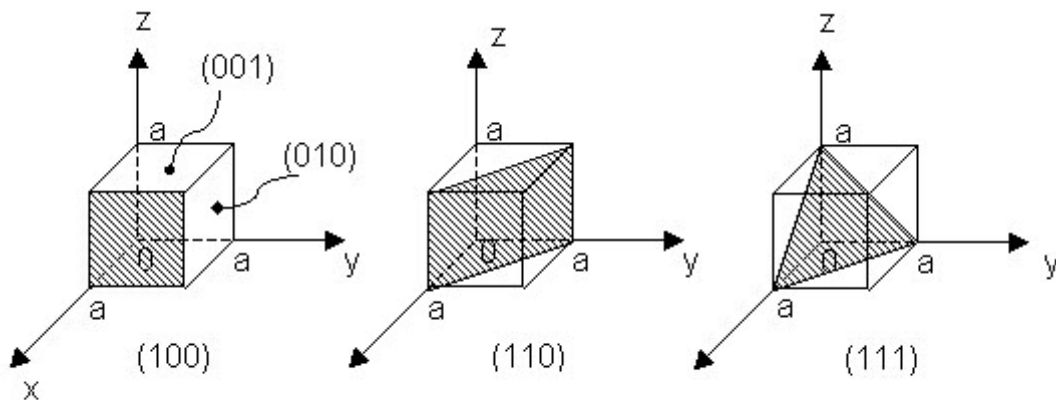


Fig. 8-1

Fig. 8-2

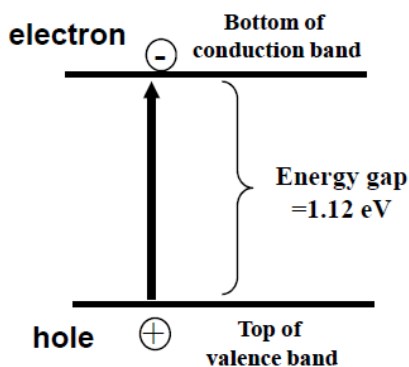
Fig. 8-3

- 밀러 지수: Miller Indices: 면이  $x, y, z$  축과 각각  $a, b, c$ 와 만날 때, 밀러지수는  $1/a : 1/b : 1/c$ 의 최소정수비

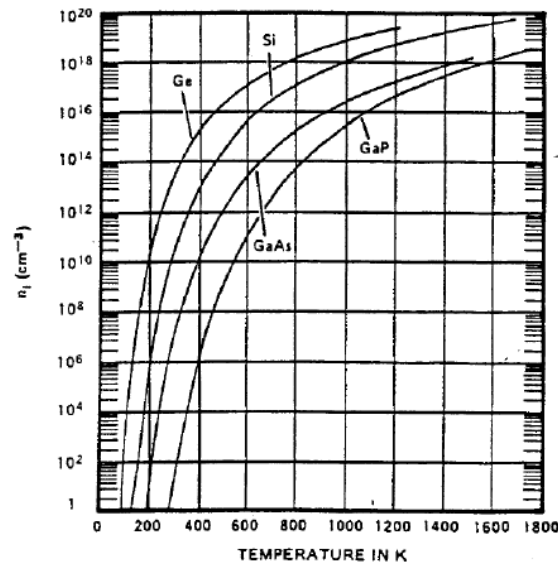
## • 표기 방법

- $(h\ k\ l)$  : crystal plane
- $\{h\ k\ l\}$  : equivalent planes
- $[h\ k\ l]$  : crystal direction
- $\langle h\ k\ l \rangle$  : equivalent directions

## ■ Carrier Concentrations of Intrinsic (undoped) Si



$$\begin{aligned} n \text{ (electron conc)} \\ &= p \text{ (hole conc)} \\ &= n_i \end{aligned}$$



For Si

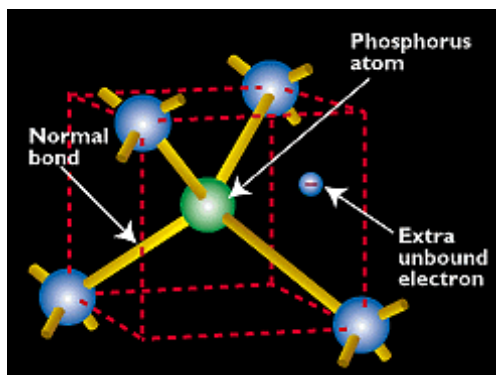
$$n_i = 3.9 \times 10^{16} T^{3/2} e^{-\frac{0.605 \text{ eV}}{kT}} / \text{cm}^3$$

$$n_i \cong 1.45 \times 10^{10} \text{ cm}^{-3} \text{ at room temperature}$$

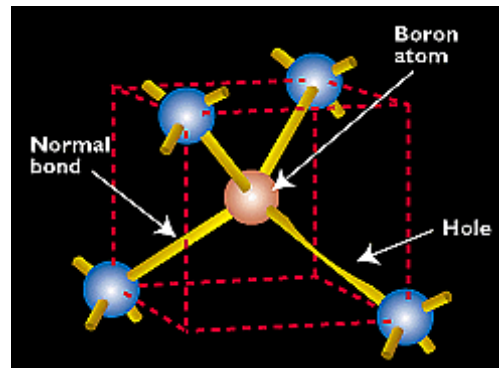
## ■ Dopants in Si

– By substituting a Si atom with a special impurity atom (**Column V** or **Column III** element), a conduction electron or hole is created.

**Donors: P, As, Sb**



**Acceptors: B, Al, Ga, In**



- n-type Semiconductor

If  $N_D \gg N_A$  (such that  $N_D - N_A > 10 n_i$ ):

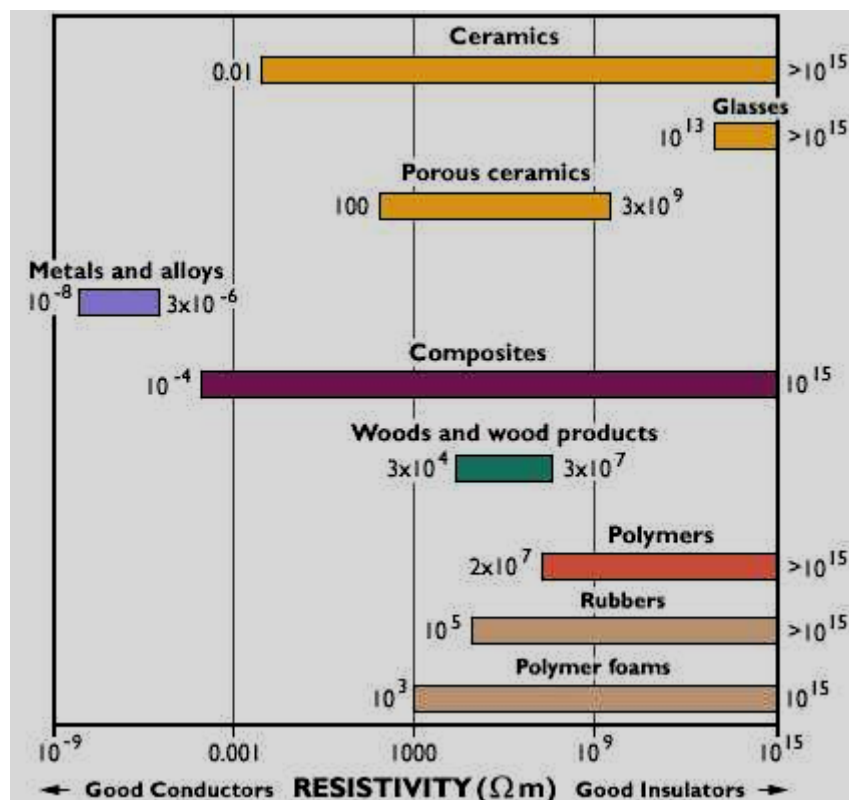
$$n = N_D - N_A, \quad p = n_i^2/n$$

- p-type Semiconductor

If  $N_A \gg N_D$  (such that  $N_A - N_D > 10 n_i$ ):

$$p = N_A - N_D, \quad n = n_i^2/p$$

## ■ Resistivity Range of Materials



\* Note:  $1 \text{ } \Omega\text{-m} = 100 \text{ } \Omega\text{-cm}$

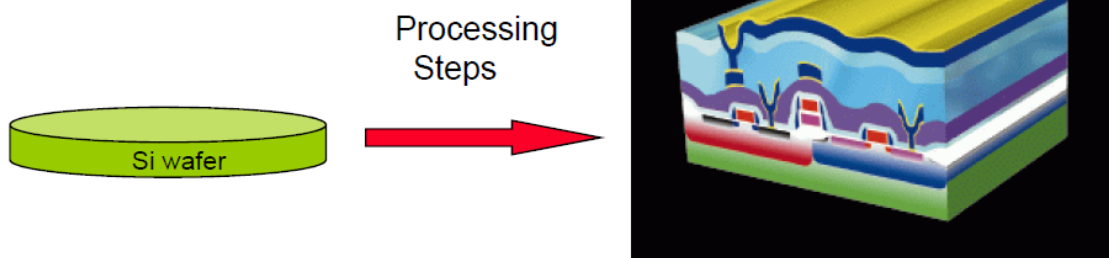
– Adding parts/billion to parts/thousand of “dopants” to pure Si can change resistivity by 8 orders of magnitude !



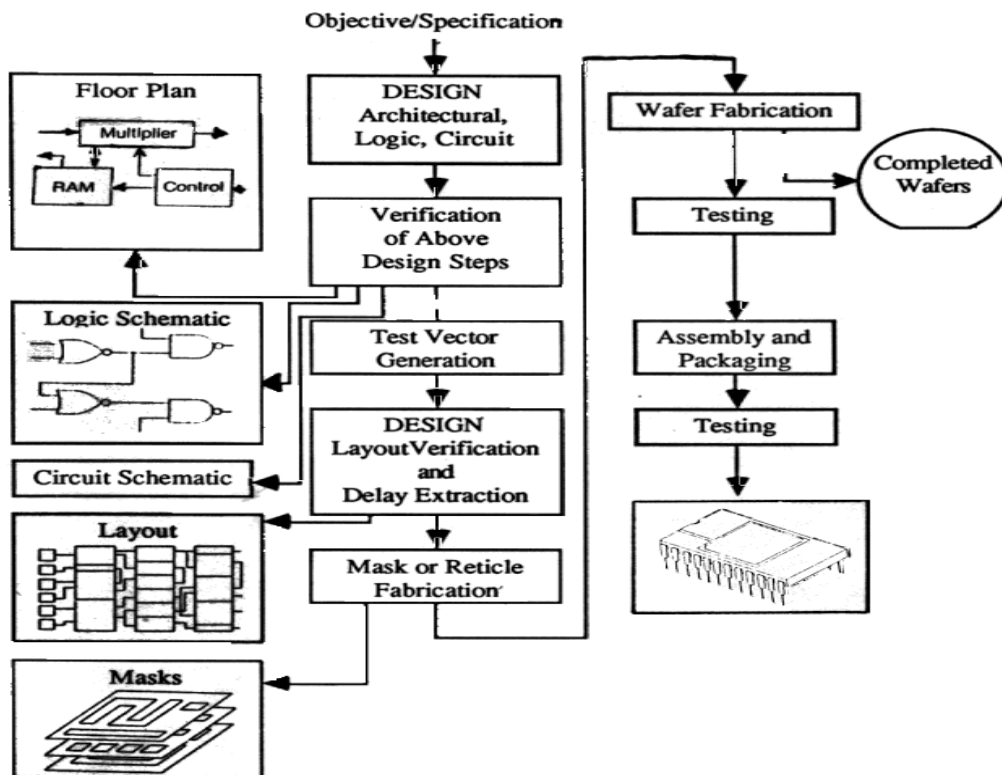
## ■ Principle of Monolithic Process Integration

– A sequence of **Additive** and **Subtractive** steps with **lateral patterning**

Example: CMOS Integrated Circuit



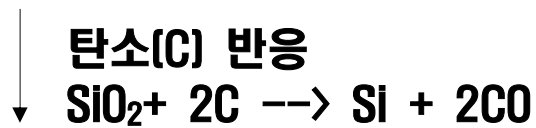
## ■ 반도체 제품 개발 순서



## 2. 실리콘 결정 성장

### 가. 실리콘 단결정 성장 순서

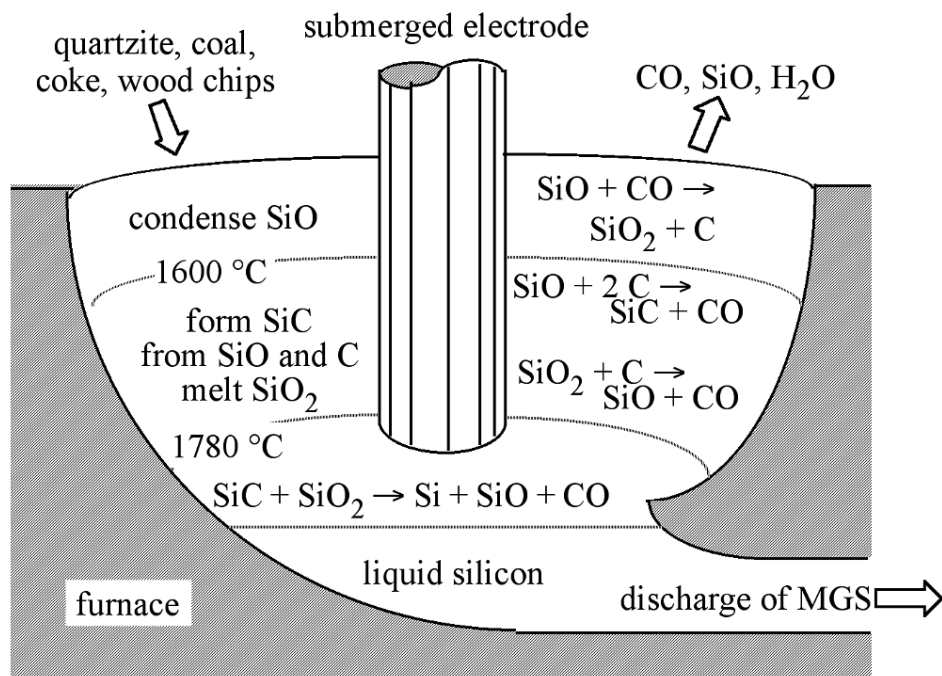
공업용 규소 (quartzite)



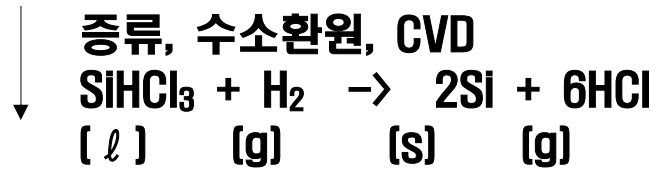
MGS (Metallurgical Grade Si)



삼염화실란( $\text{SiHCl}_3$ )



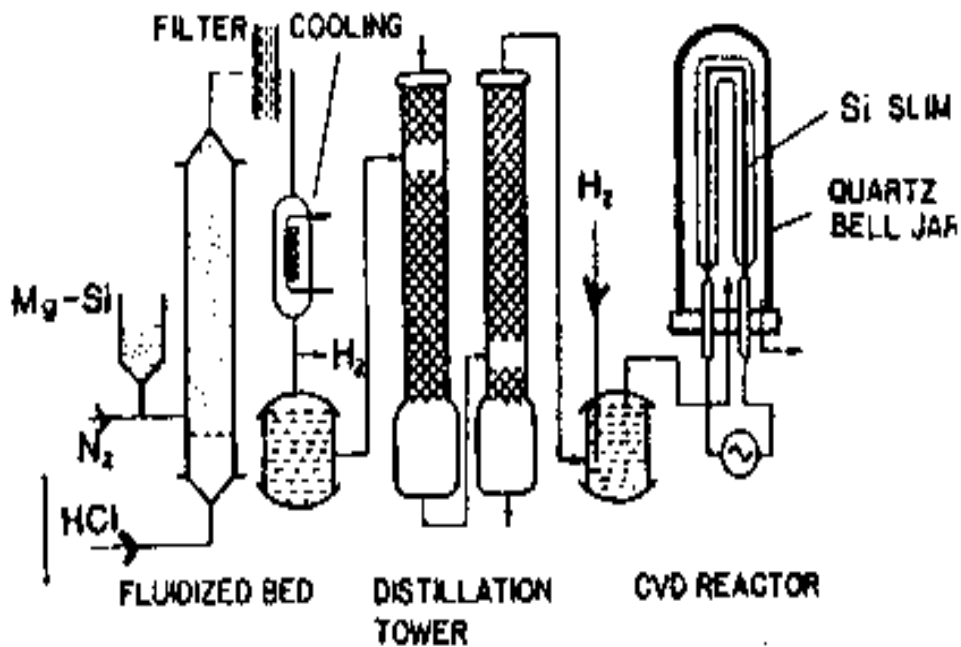
**삼염화실란( $\text{SiHCl}_3$ )**



**고순도 다결정 실리콘**  
(EGS: Electronic Grade Si)

↓ 결정 성장

**단결정실리콘 (Si Ingot)**

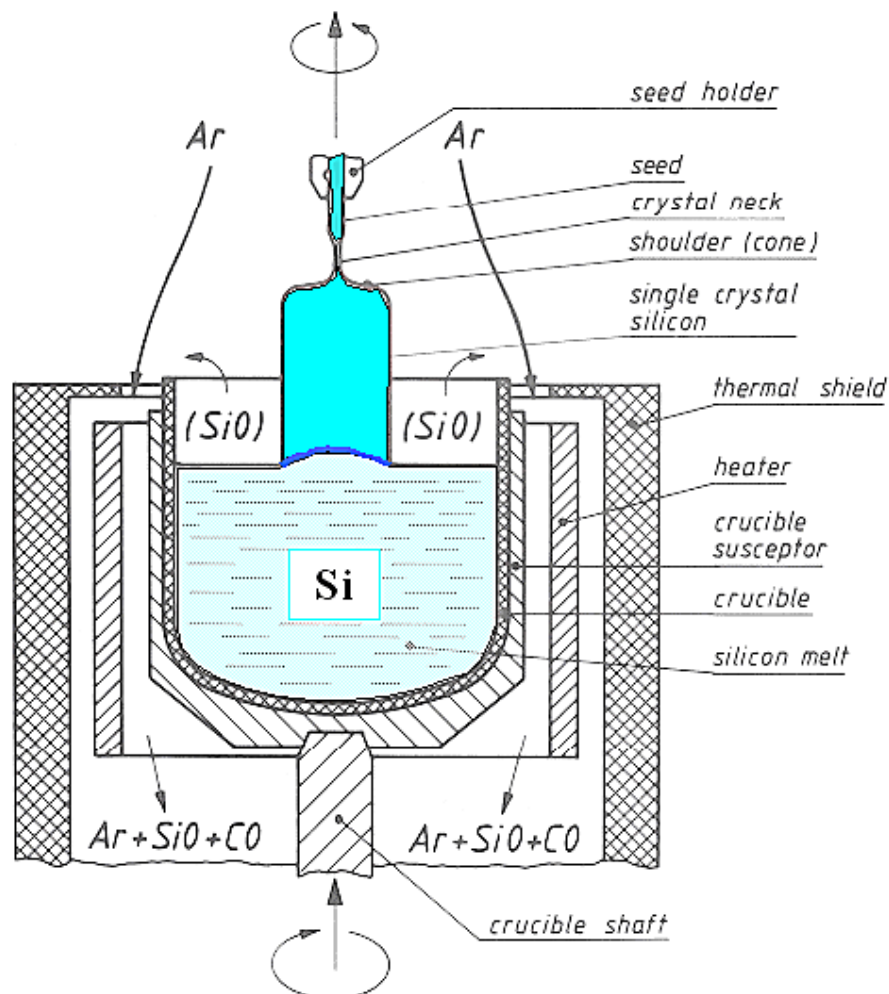


## 나. EGS Rods → 단결정 실리콘 성장 (Si Ingot)

### (1) 인상법 (Czochralski Growth)

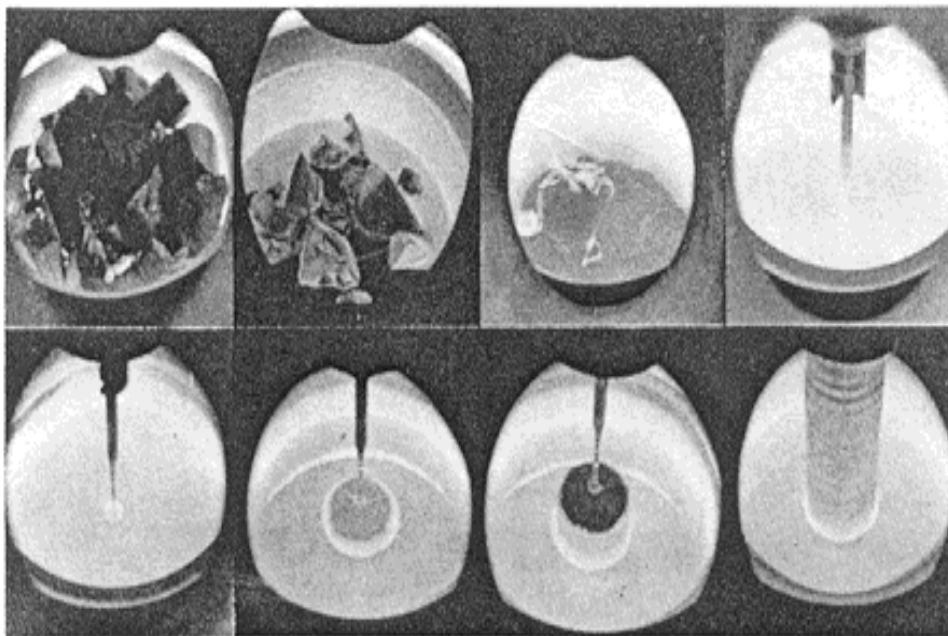
#### □ 제조 장치

Beginning of crystal growth

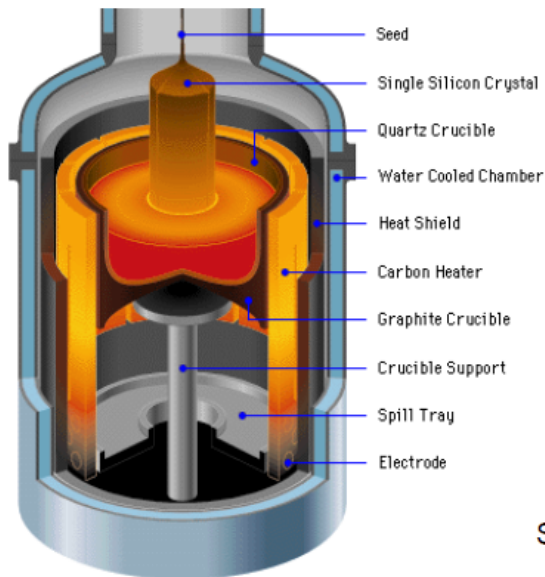


□ 제조 과정

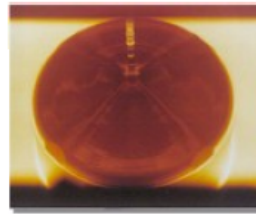
- ① EGS charge를 도가니에 넣음
- ② Growth chamber를 진공으로 펌프한 후 불활성기체 주입
- ③ 도가니를 1421℃ 이상으로 가열하여 EGS charge를 녹임
- ④ 단결정 실리콘 seed(직경:5mm, 길이:100-300mm)를 내려서 녹아 있는 실리콘 용액 위 표면에 접촉시킴
- ⑤ Seed를 서서히 끌어올림. (일반적인 끌어올리는 속도: 분당 수 mm) 이 때, ingot의 온도의 분포를 균일하게 하기 위하여 seed와 도가니를 서로 반대 방향으로 천천히 회전시킴



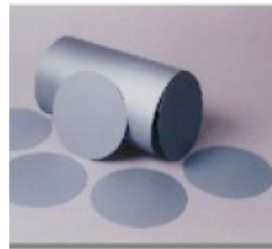
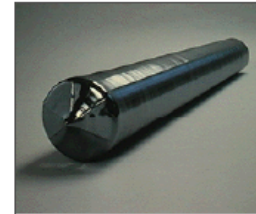
# Czochralski Crystal Growth



Crystal Pulling



Crystal Ingots



Shaping and Polishing



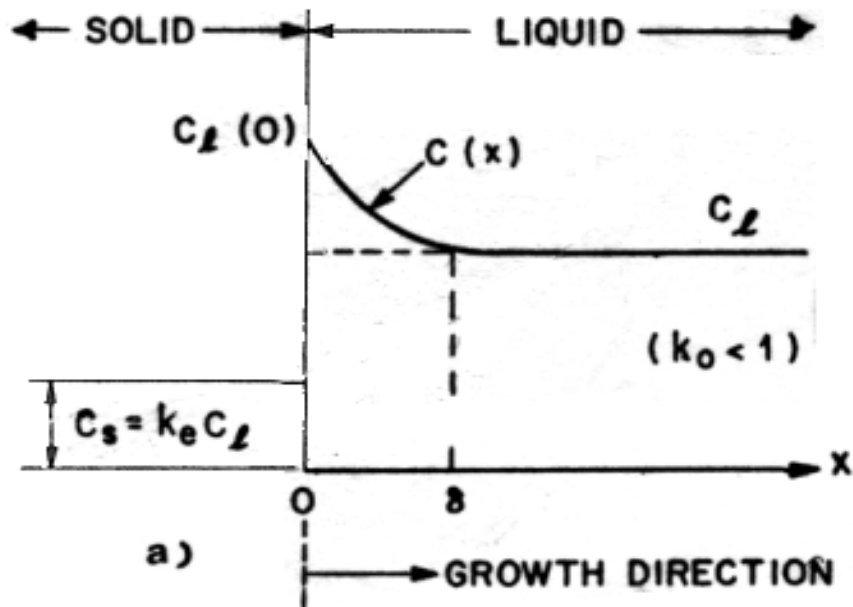
300 mm wafer



**\* Purity of Starting IC Si Wafer: 99.999999999 %  
(so-called “eleven nines” ) !!**

□ 인상법에서의 불순물 제거

• 실리콘 용액의 표면에서의 불순물 농도 분포



$$k_0 = C_s / C_l \text{ (segregation coefficient)}$$

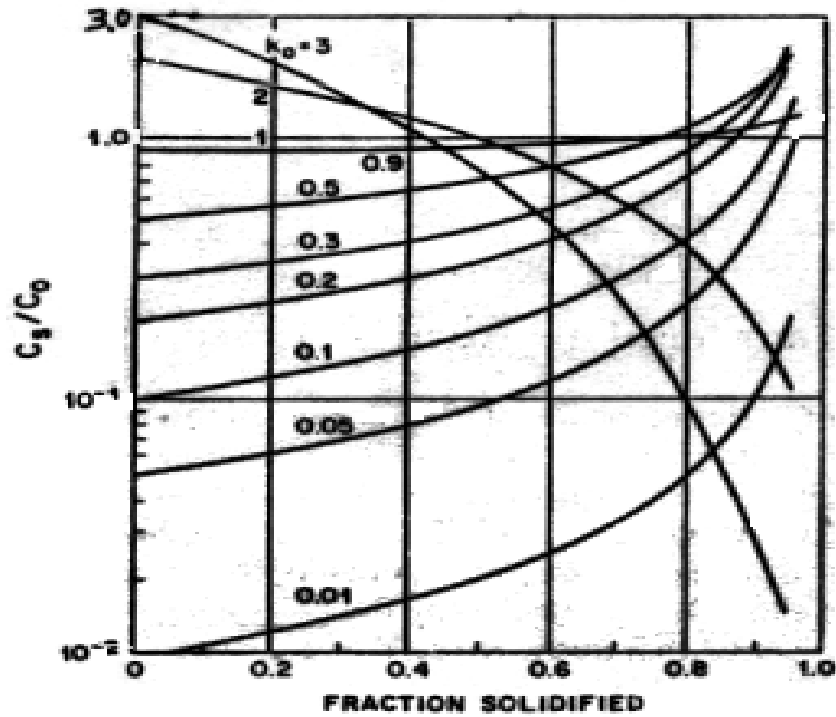
• 여러 가지 불순물의 segregation coefficient

Al	As	B	C	Cu	Fe	O	P	Sb
0.002	0.3	0.8	0.007	0.0004	$8 \times 10^{-6}$	1.25	0.35	0.023



- $$C_s = k_0 C_0 \left(1 - \frac{M}{M_0}\right)^{(k_0 - 1)}$$

여기서,  $C_s$  = 단결정 실리콘의 불순물 농도  
 $M$  = 단결정 실리콘의 무게  
 $M_0$  = 처음 실리콘 용액의 무게



fraction solidified

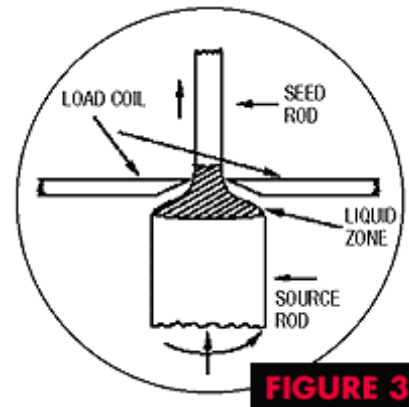
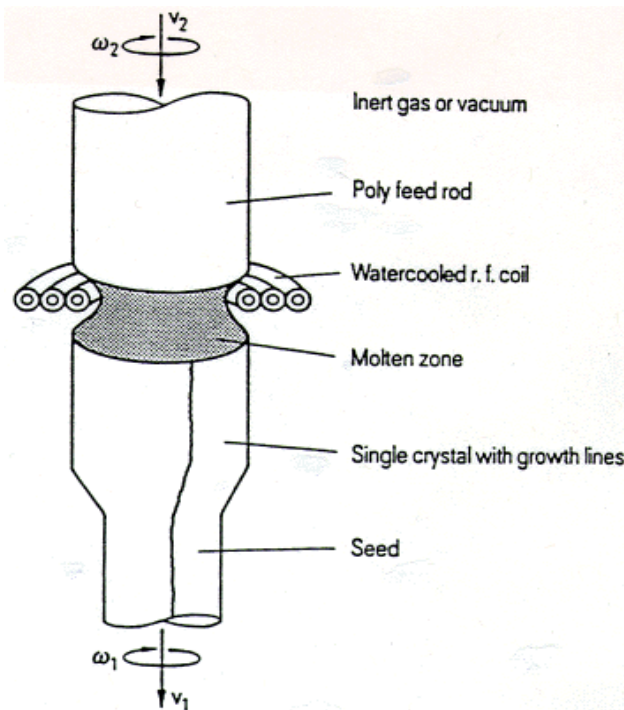
## □ CZ Si의 주요 잔류 불순물

- 산소:  $\text{SiO}_2$  도가니 벽의 용해에 많은 산소가 실리콘 용액에 녹아 있음. 이들의 대부분은  $\text{SiO}$  gas로 밖으로 배출되나, 일부는 Si ingot 내에 잔존함.

잔존 농도는 보통  $10^{16} - 10^{18} \text{cm}^{-3}$ . 생산된 직후의 웨이퍼는 일반적으로 산소농도가 과포화되어 있음

- 잔류 산소의 유해한 측면 (주로 산소 complex에 의해 발생):
  - $400^\circ\text{C}$  이상에서 도우너 발생 (thermal donor)
  - 공정 중에 결정을 이루어 게이트 산화막 특성의 열화 발생
- 잔류 산소의 유익한 측면 (주로 interstitial 산소에 의해 발생):
  - 결함 전파 방해
  - 기계적인 강도 증가
  - Gettering 형성
- Si 웨이퍼의 산소 농도를 낮추는 문제가 반도체 공정 기술에서 중요 과제가 됨. 낮추는 방법으로는
  - Epitaxy
  - H annealing
  - Crystal growing 기술 개선

## (2) 부유대역 용융법 (Floating Zone Growth)



## (3) CZ 와 FZ 법의 장단점

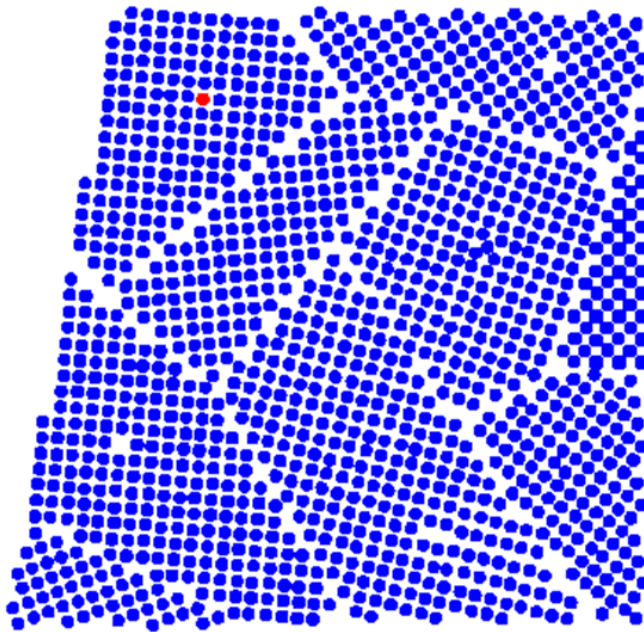
	기계적인 강도	Internal Gettering	직경	생산 단가	불순물 농도 [산소 포함]
CZ	0	0	0	0	X
FZ	X	X	X	X	0

\* 현재 대부분의 웨이퍼는 CZ 웨이퍼이나, 질이 우수한 웨이퍼를 요구하는 high voltage, high power 소자 제작에는 부분적으로 FZ 웨이퍼가 사용되고 있다.

### 3. 결정 결함

#### 가. 결정 결함의 종류

\* Real crystals are never perfect, there are always defects



\* Schematic drawing of a poly-crystal with many defects

- 0D, Point defect (점 결함)
  - vacancy, interstitial, impurity
- 1D, Dislocation (선 결함)
  - edge dislocation, screw dislocation
- 2D, Grain boundary (면 결함)
  - tilt grain boundary, twist grain boundary
- 3D, Volume defect (체적 결함)
  - void, precipitation

□ 점 결함 (point defect)

- **Vacancy**
  - lattice position that is vacant because atom is missing.
- **Interstitial**
  - atom that occupies a place outside the normal lattice position. May be same type of atom (**self-interstitial**) or **an impurity interstitial**.
- **Schottky defect**
  - vacancy + 표면의 Si 분자
- **Frenkel defect**
  - 1 쌍의 vacancy + Si interstitial
- **Impurity**
  - Substitutional impurity (치환형 불순물)
  - Interstitial impurity (침입형 불순물)

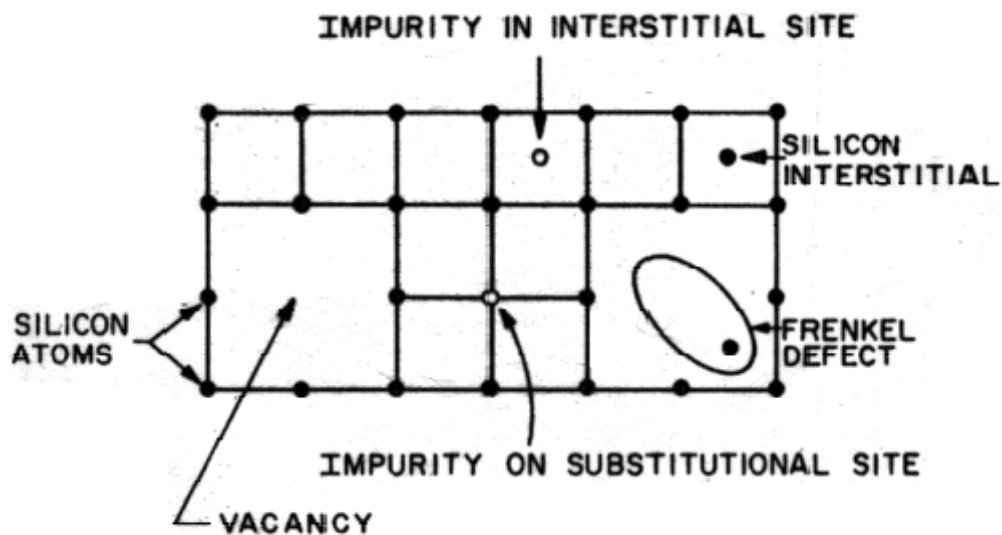
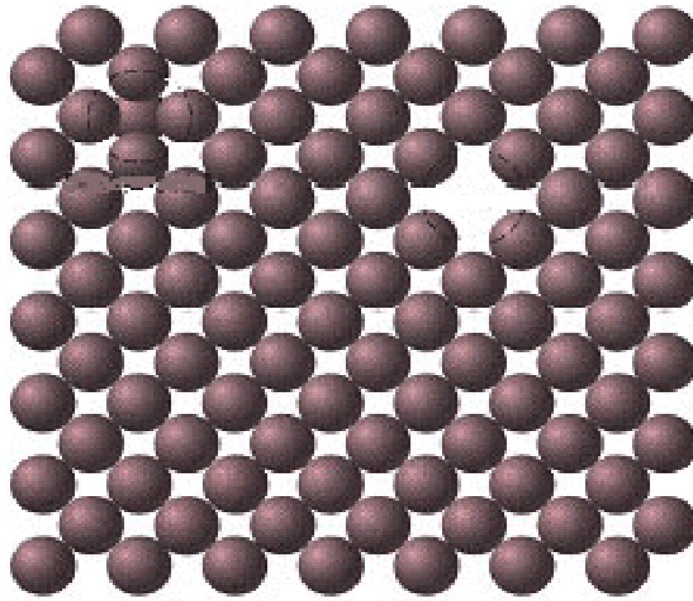


Fig. Types of point defects in a simple lattice.



- **How many vacancies?**

- **Equilibrium number** of vacancies is due to **thermal vibrations**

$$N_v = N_s \exp\left(-\frac{Q_v}{k_B T}\right)$$

$N_s$  = number of regular lattice sites

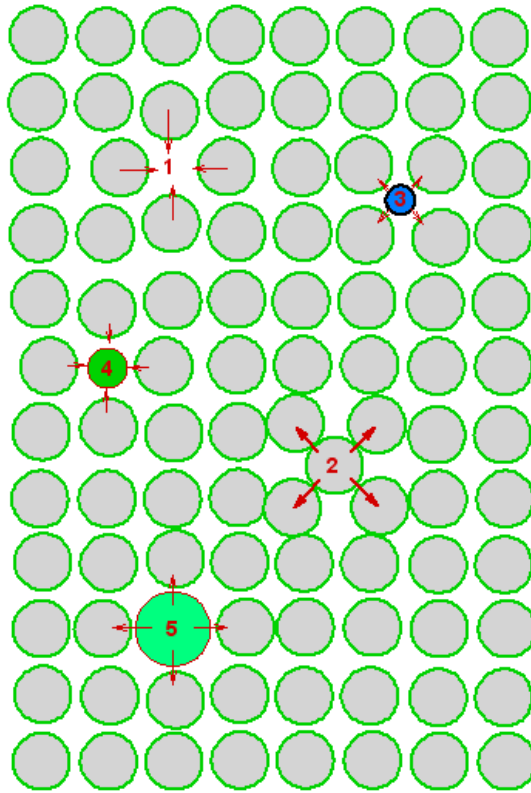
$k_B$  = Boltzmann constant

$Q_v$  = energy to form a vacant lattice site in a perfect crystal

$T$  = temperature in Kelvin (note, not in °C or °F).

- Room temperature in copper: one vacancy per  $10^{15}$  atoms. Just below the melting point: one vacancy for every 10,000 atoms.

- Above **lower bound** to number of vacancies. Additional **(non-equilibrium)** vacancies introduced in growth process or treatment (plastic deformation, quenching, etc.)



\* Arrows local stress introduced by defect

[1] **vacancies**

[2] **self-interstitial**

[3] **interstitial impurity**

[4,5] **substitutional impurities**

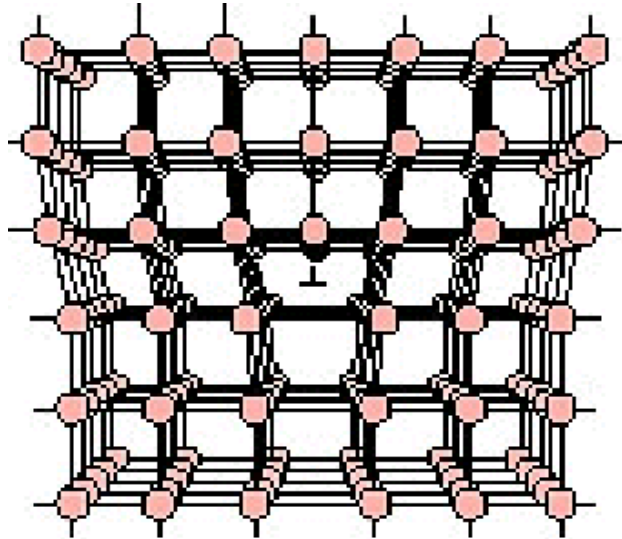
- **Self-interstitial**

- **Large distortions** in surrounding lattice  $\Rightarrow$  **Energy** of self-interstitial formation is  $\sim 3 \times$  **larger** than for vacancies ( $Q_i \sim 3Q_v$ )  $\Rightarrow$  equilibrium concentration of self-interstitials is very low ( $< 1 / \text{cm}^3$  at 300K)



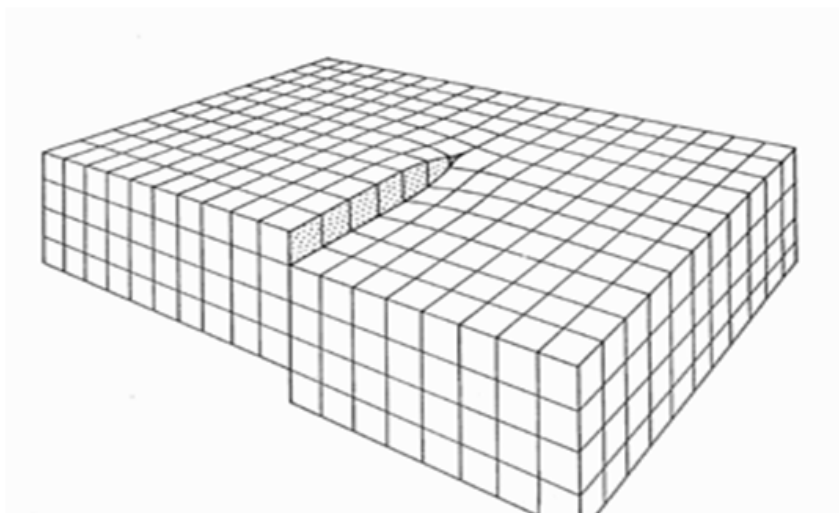
## □ 선 결함 (Line Defect: Dislocation)

- edge dislocation



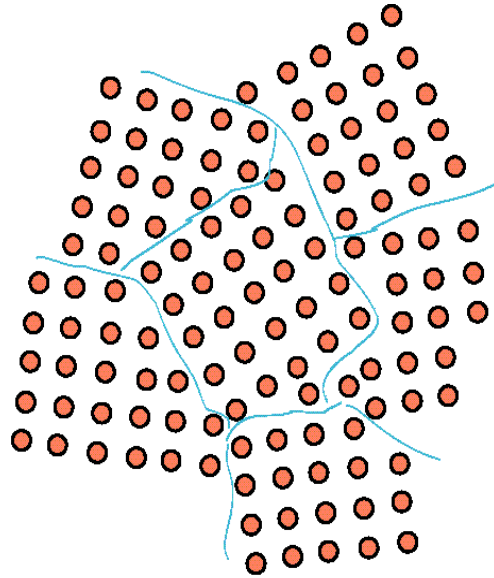
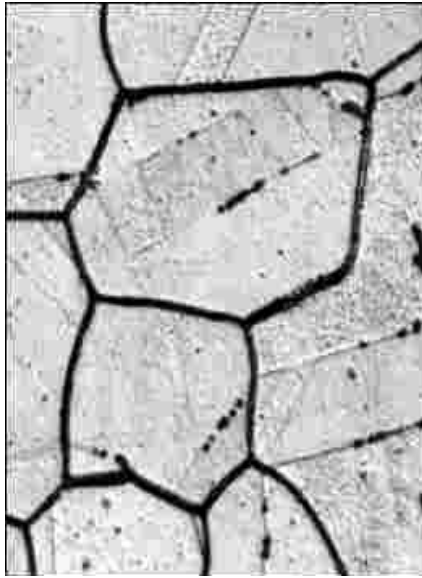
– **Interatomic bonds significantly distorted in immediate vicinity of dislocation line**  
(Creates small elastic deformations of lattice at large distances.)

- screw dislocation



□ 면 결함 (area defect)

- grain boundary



□ 체적 결함 (volume defect): void, precipitation



**□ 결정 결함이 소자의 특성에 미치는 영향**

**[a] PN 접합에서의 누설 전류 (leakage current) 발생**

- 누설 전류는 특히 DRAM과 Bipolar 소자에 치명적
- 천이금속 (Cr, Fe, Co, Ni, Cu, Ti, ..)의 precipitation, mid-gap energy level을 형성하여 누설 전류 발생시킴
- PN 접합을 관통하는 dislocation은 generation/recombination center 형성하여 누설 전류 발생시킴

**[b] 소수캐리어 (minority carrier) life time 감소**

- 점 결함, 선 결함, 체적 결함 등은 mid-gap energy level을 형성하여 소수캐리어 life time을 작게 만들

**[c] 게이트 산화막의 신뢰성 감소**

- Stacking fault 또는 산소 precipitation 밀도가 높은 웨이퍼 위에 기른 게이트 산화막의 경우 항복 전압이 낮고 누설 전류가 큼

**[d] MOSFET 소자의 문턱 전압 변화**

- 산소 precipitation의 thermal donor에 의해 문턱 전압이 10% 이상 바뀌는 경우도 있음

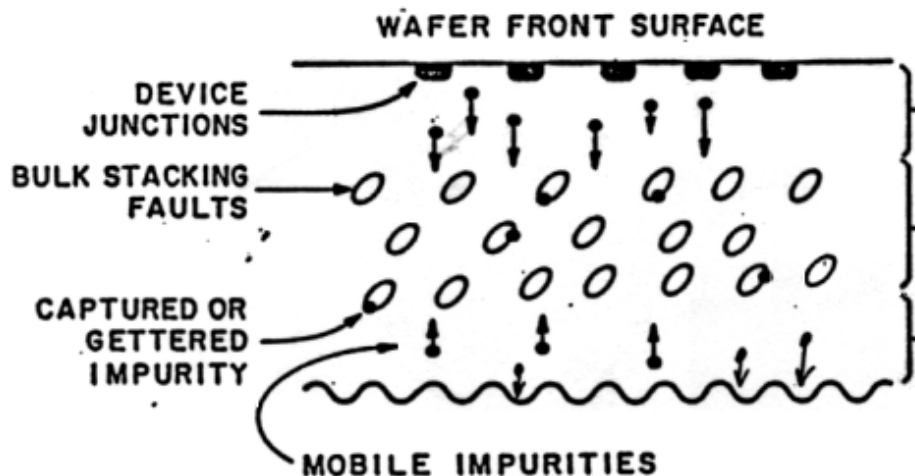
**[e] 웨이퍼의 뒤틀림이나 금가기**

- 결함이 많을수록 심하게 나타남. 그러나 실리콘 웨이퍼 내에 있는 산소는 오히려 이를 방지하는데 도움을 줌

## 나. 결함 흡수 (gettering) 기술

### □ Gettering의 기본 원리

- 불순물/결함이 소자에 미치는 영향을 제거하는 방법
  - 성장하는 결함의 씨(nucleus)를 제거
  - 성장한 결함을 제거
  - 불순물이나 결함을 소자가 형성되는 웨이퍼의 active region(활성 영역) 밖으로 추방: gettering
- Gettering 과정
  - ① 단계: 불순물이나 결함의 precipitation을 녹인다
  - ② 단계: 활성 영역 밖으로 몰아낸다
  - ③ 단계: 이들이 다시 활성 영역으로 되돌아오지 못하게 활성 영역 밖에서 가두어 둔다



## ☐ 외인성(extrinsic) gettering

- 이론

- 외적인 수단을 사용하여 웨이퍼 뒷면에 damage나 stress를 가함으로써 움직이는 불순물을 포획할 수 있는 capture site를 형성

- 방법

- mechanical damage by abrasion, grooving or sanding
- P doping: P-vacancy complexes 형성
- Laser-induced damage
- Ion-implantation induced damage
- Polysilicon deposition on the back side

## ☐ 진성(intrinsic) gettering

- 이론

- CZ 실리콘 웨이퍼 내에 있는 산소를 이용하여 웨이퍼 extended defect를 형성하여 capture site를 만들

- 과정

- ① 단계: denuded zone 형성

- 고온(>1050°C) 열처리
- 산소를 웨이퍼 표면 밖으로 out-diffusion시켜 활성화 영역의 산소 농도를 산소 precipitation이 형성될 수 있는 농도 ( $>6 \times 10^{17} \text{cm}^{-3}$ ) 이하로 낮춘다. 일반적으로 열처리하는 Ar 또는 N<sub>2</sub> 가스의 분위기에서 사용. 온도가 아주 높은 경우 pitting을 방지하기 위해 O<sub>2</sub> 가스 사용

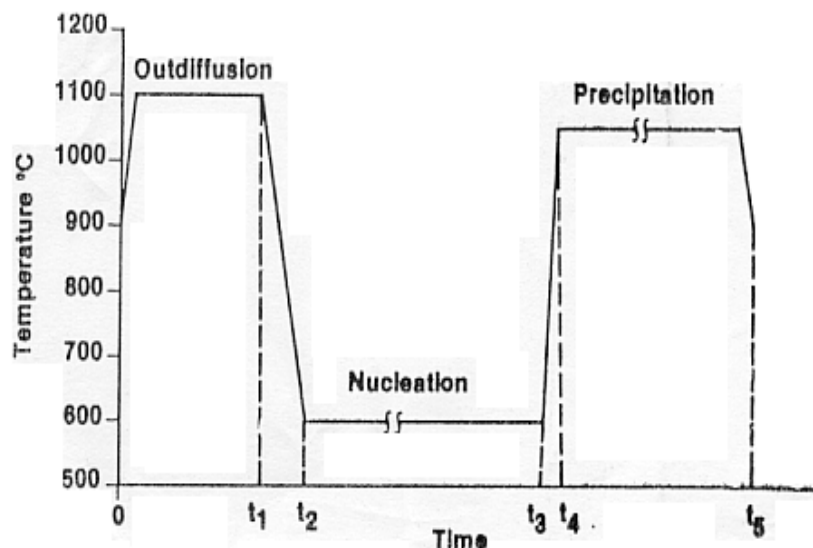
② 단계 :  $\text{SiO}_x$  precipitate의 핵(직경: 30-50 Å) 형성

- 저온(600-800°C), 장시간 (4-64시간) 열처리
- Bulk에 있는 과포화된 interstitial 산소 분자가 확산을 통하여 서로 재결합하여 많은 수의  $\text{SiO}_x$  precipitate 핵을 형성

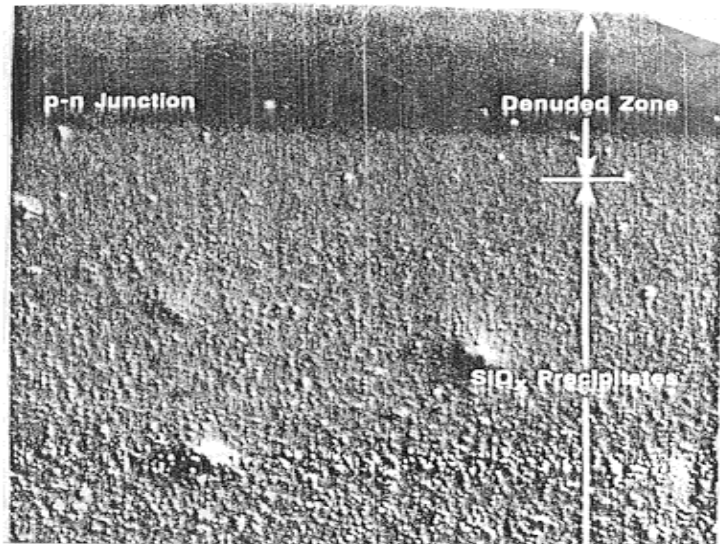
③ 단계:  $\text{SiO}_x$  precipitate의 성장

- 고온(900-1250°C), 장시간 (4-16시간) 열처리
- 2 단계에서 형성된  $\text{SiO}_x$  precipitate 핵이 자라서 직경이 500-1000 Å 크기의  $\text{SiO}_x$  precipitate가 되도록 한다. 이러한 precipitate의 성장은 precipitate 주변의 실리콘의 부피 증가를 초래하고, 이는 또한 많은 실리콘 interstitial의 발생을 초래한다.

• 이러한  $\text{SiO}_x$  precipitate와 실리콘 interstitial이 불순물의 capture site가 되는 dislocation loop를 형성한다. Gettering을 위해 바람직한 산소 농도는  $7.5 - 9.5 \times 10^{17} \text{cm}^{-3}$  이며, 산소 농도가 지나치게 높으면, 지나치게 큰  $\text{SiO}_x$  precipitate의 형성으로 인하여 웨이퍼의 뒤틀림이 발생할 수 있다.



- 450°C, 70시간 열처리한 후의 PN 접합과 SiO<sub>x</sub> precipitate의 SEM 사진



- 웨이퍼의 각 영역의 diagram

